

DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

011946775 \*\*Image available\*\*

WPI Acc No: 1998-363685/199832

XRPX Acc No: N98-283937

Input-output and memory bus system for components with two- or multi-dimensional programmable cell structures - has bundled individual lines or buses or partial buses inside component, interfaces used to combine lines and set up bus system are controlled by one or more state machines

Patent Assignee: PACT INFORMATIONSTECHNOLOGIE GMBH (PACT-N); MUNCH R (MUNC-I); VORBACH M (VORB-I); PACT GMBH (PACT-N); PACT XPP TECHNOLOGIES AG (PACT-N)

Inventor: MUNCH R; VORBACH M; MUENCH R

Number of Countries: 081 Number of Patents: 015

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19654595	A1	19980702	DE 1054595	A	19961220	199832 B
WO 9828697	A1	19980702	WO 97DE3013	A	19971221	199832
AU 9857488	A	19980717	AU 9857488	A	19971221	199848
EP 951682	A1	19991027	EP 97953672	A	19971221	199950
			WO 97DE3013	A	19971221	
DE 19781483	T	20000105	DE 1081483	A	19971221	200009
			WO 97DE3013	A	19971221	
US 6119181	A	20000912	US 97947254	A	19971008	200046
JP 2001506785	W	20010522	WO 97DE3013	A	19971221	200134
			JP 98527076	A	19971221	
US 6338106	B1	20020108	US 97947254	A	19971008	200211
			WO 97DE3013	A	19971221	
			US 99335974	A	19990618	
US 20020099888	A1	20020725	US 97947254	A	19971008	200254
			WO 97DE3013	A	19971221	
			US 99335974	A	19990618	
			US 2001915213	A	20010725	
US 6513077	B2	20030128	US 97947254	A	19971008	200311
			WO 97DE3013	A	19971221	
			US 99335974	A	19990618	
			US 2001915213	A	20010725	
US 20030097513	A1	20030522	US 97947254	A	19971008	200336
			WO 97DE3013	A	19971221	
			US 99335974	A	19990618	
			US 2001915213	A	20010725	
			US 2002304252	A	20021126	
EP 951682	B1	20030625	EP 97953672	A	19971221	200349
			WO 97DE3013	A	19971221	
			EP 20038165	A	19971221	
DE 59710354	G	20030731	DE 510354	A	19971221	200353
			EP 97953672	A	19971221	
			WO 97DE3013	A	19971221	
EP 1361517	A2	20031112	EP 97953672	A	19971221	200377
			EP 20038165	A	19971221	
US 6721830	B2	20040413	US 97947254	A	19971008	200425
			WO 97DE3013	A	19971221	
			US 99335974	A	19990618	
			US 2001915213	A	20010725	

US 2002304252 A 20021126

Priority Applications (No Type Date): DE 1054595 A 19961220

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

DE 19654595 A1 21 G06F-013/40

WO 9828697 A1 G G06F-015/78

Designated States (National): AL AM AT AU AZ BA BB BG BR BY CA CH CN CU  
CZ DE DK EE ES FI GB GE GH GM HU ID IL IS JP KE KG KP KR KZ LC LK LR LS  
LT LU LV MD MG MK MN MW MX NO NZ PL PT RO RU SD SE SG SI SK SL TJ TM TR  
TT UA UG US UZ VN YU ZW

Designated States (Regional): AT BE CH DE DK EA ES FI FR GB GH GM GR IE  
IT KE LS LU MC MW NL OA PT SD SE SZ UG ZW

AU 9857488 A G06F-015/78 Based on patent WO 9828697

EP 951682 A1 G G06F-015/78 Based on patent WO 9828697

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE

DE 19781483 T G06F-015/78 Based on patent WO 9828697

US 6119181 A G06F-013/40

JP 2001506785 W 85 G06F-015/82 Based on patent WO 9828697

US 6338106 B1 G06F-013/00 CIP of application US 97947254

Cont of application WO 97DE3013

CIP of patent US 6119181

US 20020099888 A1 G06F-013/00 Cont of application US 97947254

Cont of application WO 97DE3013

Cont of application US 99335974

US 6513077 B2 G06F-013/00 CIP of application US 97947254

Cont of application WO 97DE3013

Cont of application US 99335974

CIP of patent US 6119181

Cont of patent US 6338106

US 20030097513 A1 G06F-013/14 Cont of application US 97947254

Cont of application WO 97DE3013

Cont of application US 99335974

Cont of application US 2001915213

Cont of patent US 6119181

Cont of patent US 6338106

Cont of patent US 6513077

EP 951682 B1 G G06F-015/78 Related to application EP 20038165

Based on patent WO 9828697

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE

DE 59710354 G G06F-015/78 Based on patent EP 951682

Based on patent WO 9828697

EP 1361517 A2 G G06F-012/08 Div ex application EP 97953672

Div ex patent EP 951682

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE

US 6721830 B2 G06F-013/00 CIP of application US 97947254

Cont of application WO 97DE3013

Cont of application US 99335974

Cont of application US 2001915213

CIP of patent US 6119181

Cont of patent US 6338106

Cont of patent US 6513077

Abstract (Basic): DE 19654595-A1

The system has several bundled individual lines or busses or partial busses inside a component with a two- or multi-dimensional programmable cell structure, enabling the component to be combined with others and/or connected to memories and/or peripherals.

One or more interfaces are used to combine the lines and set up the bus system. The interfaces are controlled by one or more state machines.

ADVANTAGE - Wiring costs are considerably reduced.

Dwg.1/12

Title Terms: INPUT; OUTPUT; MEMORY; BUS; SYSTEM; COMPONENT; TWO; MULTI; DIMENSION; PROGRAM; CELL; STRUCTURE; BUNDLE; INDIVIDUAL; LINE; BUS; BUS; COMPONENT; INTERFACE; COMBINATION; LINE; SET; UP; BUS; SYSTEM; CONTROL; ONE; MORE; STATE; MACHINE

Derwent Class: T01; U13; U14; W01

International Patent Class (Main): G06F-012/08; G06F-013/00; G06F-013/14; G06F-013/40; G06F-015/78; G06F-015/82

International Patent Class (Additional): G06F-013/16; G06F-015/80; G11C-016/02; H03K-019/177; H04L-012/40

File Segment: EPI

Manual Codes (EPI/S-X): T01-H07A; T01-M02; U13-C04D; W01-A06B1

?



⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENTAMT

# Offenlegungsschrift

⑩ DE 196 54 595 A 1

⑮ Int. Cl.<sup>6</sup>:

G 06 F 13/40

G 06 F 15/80

G 11 C 16/02

H 04 L 12/40

⑯ Aktenzeichen: 196 54 595.1

⑯ Anmeldetag: 20. 12. 96

⑯ Offenlegungstag: 2. 7. 98

DE 196 54 595 A 1

⑯ Anmelder:

Pact Informationstechnologie GmbH, 81545  
München, DE

⑯ Erfinder:

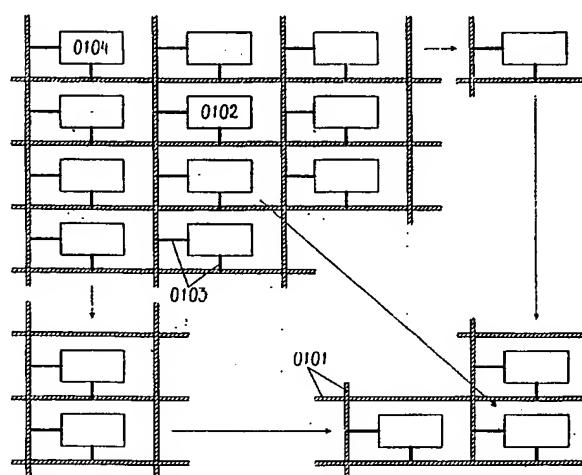
Vorbach, Martin, 76149 Karlsruhe, DE; Münch,  
Robert, 76149 Karlsruhe, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ I/O- und Speicherbusssystem für DFPs sowie Bausteinen mit zwei- oder mehrdimensionaler programmierbaren Zellstrukturen

⑯ Es wird ein Bussystem vorgeschlagen, das durch Bündelung mehrerer einzelner Leitungen oder Busse oder Teilbusse innerhalb eines Bausteines der Gattung DFP, FPGA, DPGA, sowie allen Bausteinen mit zwei- oder mehrdimensionaler programmierbarer Zellstruktur hergestellt ist, und über welches die Bausteine zu mehreren zusammengefaßt werden können und/oder Speicher und/oder Peripherie anschließbar sind/ist.



DE 196 54 595 A 1

# DE 196 54 595 A 1

## Beschreibung

### 1 Hintergrund der Erfindung

5

#### 1.1 Stand der Technik

##### 1.1.1 . . . in DFP-basierenden Systemen

- In DFPs gemäß DE 44 16 881 A1 werden die Leitungen jeder Kanten Zelle, das ist eine Zelle, die sich am Rand eines Zellarrays befindet und oftmals direkten Kontakt mit den Anschlüssen des Bausteines haben kann, über die Anschlüsse des Bausteines herausgeführt. Dabei haben die Leitungen keine spezielle Funktion, vielmehr übernehmen sie die Funktion, die in den Kanten Zellen beschrieben ist. Werden mehrere DFPs miteinander vernetzt, so werden alle Anschlüsse zu einer Matrix miteinander verbunden.

- 15 1.1.2 . . . in Systemen mit zwei- oder mehrdimensionalen programmierbaren Zellstrukturen (FPGAs, DPGAs)

- In Systemen mit zwei- oder mehrdimensionalen programmierbaren Zellstrukturen (FPGAs, DPGAs) wird eine bestimmte Teilmenge von internen Bussystemen und Leitungen der Kanten Zellen über die Anschlüsse des Bausteines herausgeführt. Dabei haben die Leitungen keine spezielle Funktion, vielmehr übernehmen sie die Funktion, die in den Kanten Zellen beschrieben ist. Werden mehrere FPGAs/DPGAs miteinander vernetzt, so übernehmen die Anschlüsse die Funktion, die hardware- oder softwareseitig implementiert wurde.

#### 1.2 Probleme

##### 25 1.2.1 . . . in DFP-basierenden Systemen

- Der Verdrahtungsaufwand für die Peripherie oder Vernetzung von DFPs ist sehr hoch. Da gleichzeitig der Programmierer dafür zu sorgen hat, daß die entsprechenden Funktionen in die Zellen des/der DFPs integriert werden. Zum Anschluß eines Speichers muß eine Speicher verwaltung in den Baustein integriert werden. Zum Anschluß von Peripherie muß diese unterstützt werden, ebenso wie die Kaskadierung von DFPs entsprechend berücksichtigt werden muß. Der Aufwand ist verhältnismäßig hoch, gleichzeitig geht Fläche auf dem Baustein für die jeweiligen Implementierungen verloren.

- 35 1.2.2 . . . in Systemen mit zwei- oder mehrdimensionalen programmierbaren Zellstrukturen (FPGAs, DPGAs)

- Oben beschriebenes gilt ebenfalls für FPGAs und DPGAs, insbesondere, wenn diese zur Implementierung von Algorithmen eingesetzt werden und als numerische (Co)Prozessoren arbeiten.

#### 40 1.3 Verbesserung durch die Erfindung, Aufgabe

- Der Verdrahtungsaufwand, insbesondere die Anzahl der Bausteinanschlüsse wird erheblich reduziert. Ein einheitliches Bussystem arbeitet ohne besondere Rücksichtnahme durch den Programmierer. Die Steuerung des Bussystems ist fest implementiert. Ohne besondere Maßnahmen kann an das Bussystem Speicher, sowie Peripherie angeschlossen werden. Ebenfalls können Bausteine mit Hilfe des Bussystems kaskadiert werden.

45

## 2 Beschreibung der Erfindung

### 2.1 Übersicht über die Erfindung, Abstrakt

- 50 Die Erfindung beschreibt ein allgemeines Bussystem, das eine Vielzahl bausteininterner Leitungen zusammenfaßt und als Bündel an die Anschlüsse herausführt. Die Steuerung des Bussystems ist dabei vordefiniert und bedarf keines Einflusses durch den Programmierer. An das Bussystem lassen sich beliebig Speicher, Peripherie oder weitere Bausteine (zur Kaskadierung anschließen). Die Einzelheiten und besondere Ausgestaltungen, sowie Merkmale des erfindungsgemäßen Bussystems sind Gegenstand der Patentansprüche.

55

### 2.2 Detailbeschreibung der Erfindung

- Die nachfolgende Beschreibung umfaßt mehrere Strukturen, die wie bei DFPs, FPGAs, DPGAs, o. ä. üblich von einer Ladelogik aus gesteuert und konfiguriert werden. Dabei können Teile der Ladelogik auf dem Baustein integriert sein. Alternativ besteht die Möglichkeit (Fig. 6/7) die Strukturen durch den Baustein selbst direkt dynamisch umzukonfigurieren oder zu steuern. Dabei können die Strukturen fest auf dem Baustein implementiert sein, oder erst durch Konfiguration und möglicherweise Zusammenschluß mehrere Logikzellen, das sind konfigurierbare Zellen, die einfache logische oder arithmetische Aufgaben gemäß ihrer Konfiguration erfüllen (vgl. DFP, FPGA, DPGA), entstehen.

65

#### 2.2.1 Bündelung interner Leitungen

- Um sinnvolle Busstrukturen zu erhalten, wird eine Mehrzahl interner Leitungen zu Bussen (I-BUSn; n gibt die Nummer des Busses an) zusammengefaßt. Dabei kann es sich bei den Leitungen um interne Bussysteme oder um Lei-

# DE 196 54 595 A 1

tungen der Kantenzellen handeln. Die einzelnen Busse werden für Schreibzugriffe auf den externen Bus (E-BUS) über taktsynchrone Latche oder Register (I-GATE-REG) auf Tore geführt, die als Schalter zum E-BUS arbeiten. Eine derartige Einheit wird Ausgabezelle (OUTPUT-CELL) genannt. Der Zugriff auf den E-BUS geschieht derart, daß die einzelnen Latche über die Tore auf den gemeinsamen E-BUS geschaltet werden. Dabei ist immer nur ein Tor geöffnet. Jeder I-BUS<sub>r</sub> besitzt eine eindeutige Kennnummer (n: z. B. I-BUS1, I-BUS976, ...).

Für Lesezugriffe wird der hereinführende E-BUS in taktsynchrone Latche oder Register (E-GATE-REG) zwischengespeichert und dann über die Tore an die I-BUS<sub>n</sub> verteilt. Eine derartige Einheit wird Eingabezelle (INPUT-CELL) genannt. Der Abgriff vom E-BUS geschieht dabei derart, daß ein E-BUS-Transfer in ein oder mehrere E-GATE-REG geschrieben wird. Die E-GATE-REG können dann entweder einzeln oder gemeinsam auf ihre internen Bussysteme freigeschaltet werden.

Dabei können die Schreib-/Lesezugriffe in beliebiger Reihenfolge ablaufen. Es ist unter Umständen sinnvoll die internen Busse I-BUS<sub>n</sub> in zwei Gruppen zu unterteilen, die schreibenden Ausgabebusse IO-BUS<sub>n</sub> und die lesenden Eingabebusse II-BUS<sub>n</sub>.

## 2.2.2 Adressgenerierung

5

10

20

25

30

35

40

45

50

55

Für die meisten Zugriffe auf externe Bausteine ist es notwendig Adressen zur Auswahl eines Bausteines oder Teilen eines Bausteines zu generieren. Dabei können die Adressen fest sein, das heißt sie ändern sich nicht (dies ist vor allem bei Peripherieadressen der Fall) oder die Adressen verändern sich bei jedem Zugriff um (meist) feste Werte (dies ist vor allem bei Speicheradressen der Fall). Zur Generierung der Adressen existieren programmierbare Zähler für die Lesezugriffe und programmierbare Zähler für die Schreibzugriffe. Die Zähler werden durch die Ladelogik, das ist die Einheit, die die, auf einer Zellstruktur basierenden konfigurierbaren Bausteine (DFPs, FPGAs, DPGAs o. ä.) konfiguriert, auf einen Grundwert eingestellt. Bei jedem Zugriff auf das Tor zählt der Zähler je nach Einstellung um einen von der Ladelogik festgelegten Wert nach oben oder unten. Ebenfalls kann jeder Zähler als Register verwendet werden, das bedeutet, bei einem Zugriff wird nicht gezählt, der im Zähler eingestellte Wert ist statisch. Jedem Bustransfer wird als Adresse der Wert des zum Tor gehörenden Zählers zugeordnet. Die Einstellung des Zählers geschieht über ein Einstellungsregister (MODE-PLUREG), das von der Ladelogik beschrieben wird.

## 2.2.3 Masken und Zustände

Jedem Tor ist eine Anzahl Bits im später beschriebenen MODE-PLUREG zugeordnet, die angibt, ob der Tor aktiv ist oder von der Steuerung übergangen wird, also ausmaskiert ist (MASKE). Das bedeutet, der Tor wird beim Durchlaufen aller Tor zum Aufschalten auf das jeweilige Bussystem übergangen.

Folgende Masken-Einträge sind denkbar:

- INPUT-/OUTPUT-CELL immer übergehen
- INPUT-/OUTPUT-CELL nur beim Schreiben übergehen
- INPUT-/OUTPUT-CELL nur beim Lesen übergehen, wenn der EBUS-MAS-TER nicht auf die INPUT-/OUTPUT-CELL zugegriffen hat
- INPUT-/OUTPUT-CELL niemals übergehen

Jedem Tor ist ein Zustandsregister, das als RS-Flipflop ausgestaltet sein kann, zugeordnet. Dieses Register zeigt an, ob Daten in das zum Tor gehörenden Register geschrieben wurden.

## 2.2.4 Das MODE-PLUREG

Das MODE-PLUREG kann von der Ladelogik beschrieben und gelesen werden. Es dient zur Einstellung des Bussystems.

Ein möglicher Aufbau des MODE-PLUREG aus Sicht der Ladelogik

Bit l..m	Bit k..l	Bit 2..k	Bit 1	Bit 0
Maske	vordefinierter Wert	Schrittbreite	0=additiv zählen 1=subtraktiv zählen	0=Register 1=Zähler
maskieren	Einstellungen für Adressgenerator			

## 2.2.5 Beschreibung der INPUT-CELL

Es wird unterschieden, ob Daten vom E-BUS in den Baustein gelangen (die dafür notwendige Einheit wird INPUT-CELL genannt) oder ob Daten aus dem Baustein auf den E-BUS gelangen (die dafür notwendige Einheit wird OUTPUT-CELL genannt).

Eine INPUT-CELL kann wie folgt ausgestaltet sein: Ein Latch (I-GATE-REG), das entweder vom externen E-BUS-MASTER oder der bausteineigenen Zustandsmaschine gesteuert wird, dient zur Zwischenspeicherung der Daten, die vom E-BUS erhalten werden. Dabei ist das Taktsignal des Latches an ein (z. B.) RS-Flipflop (SET-REG) geführt, das den Zugriff auf das I-GATE-REG festhält. Hinter dem I-GATE-REG befindet sich ein Tor (I-GATE), das von der Zustandsmaschine gesteuert wird. Über das I-GATE gelangen die Daten aus dem I-GATE-REG auf den I(I)-BUS<sub>n</sub>.

Des weiteren befindet sich ein programmierbarer auf/abwärts-Zähler in der INPUT-CELL. Er kann nach jedem akti-

# DE 196 54 595 A 1

ven Lesezugriff auf den E-BUS durch die Zustandsmaschine gesteuert, um einen einstellbaren Wert hoch- oder herunterzählen. Ebenfalls kann er als einfaches Register dienen. Dieser Zähler generiert die Adressen für Buszugriffe, in denen der Baustein E-BUS-MASTER ist. Die Adressen werden durch ein Tor (ADR-GATE) auf den E-BUS geführt. Das ADR-REG wird von der Zustandsmaschine gesteuert.

- 5 Über ein weiteres Tor (STATE-GATE) kann der E-BUS-MASTER den Zustand des SET-REG abfragen. Jede INPUT-CELL besitzt ein MODE-PLUREG, in dem die Ladelogik den Zähler konfiguriert und die INPUT-CELL aus- oder einschaltet (maskiert).

## 2.2.6 Beschreibung der OUTPUT-CELL

- 10 Eine OUTPUT-CELL kann wie folgt ausgestaltet sein: Ein Latch (E-GATE-REG), das von der bausteineigenen Zustandsmaschine gesteuert wird, dient zur Zwischenpeicherung der Daten, die vom I-BUS erhalten werden.

Des weiteren befindet sich ein programmierbarer auf/abwärts-Zähler in der OUTPUT-CELL. Dabei ist das Taktsignal des Latches an ein (z. B.) RS-Flipflop (SET-REG) geführt, das den Zugriff auf das E-GATE-REG festhält. Er kann nach 15 jedem aktiven Lesezugriff auf den E-BUS durch die Zustandsmaschine gesteuert, um einen einstellbaren Wert hoch- oder herunterzählen. Ebenfalls kann er als einfaches Register dienen. Dieser Zähler generiert die Adressen für Buszugriffe, in denen der Baustein E-BUS-MASTER ist.

Die Daten des E-GATE-REG, die Adressen und der Zustand des SET-REG werden über ein Tor (E-GATE), das entweder vom externen E-BUS-MASTER oder der bausteineigenen Zustandsmaschine gesteuert wird, auf den geführt. Jede 20 OUTPUT-CELL besitzt ein MODE-PLUREG, in dem die Ladelogik den Zähler konfiguriert und die OUTPUT-CELL aus- oder einschaltet (maskiert).

## 2.2.7 Steuerung des Bussystems

- 25 Den einzelnen Toren, Adressgeneratoren und Masken ist eine Steuerung übergeordnet. Diese besteht aus einer einfachen Zustandsmaschine nach dem Stand der Technik. Dabei werden zwei Betriebsarten unterscheiden:

- 30 1. Eine Aktive, in der die Zustandsmaschine den internen Bus (I-BUS) und den externen Bus (E-BUS) steuert. Diese Betriebsart wird E-BUS-MASTER genannt, da die Zustandsmaschine die Kontrolle über den E-BUS besitzt.  
35 2. Eine Passive, in der die Zustandsmaschine nur den internen Bus (I-BUS) steuert. Der E-BUS wird von einem anderen externen Baustein kontrolliert. Die Zustandsmaschine reagiert in dieser Betriebsart auf die Anforderungen des externen E-BUS-MASTERS. Diese Betriebsart wird E-BUS-SLAVE genannt.

Die Steuerung verwaltet das E-BUS Protokoll. Dabei ist der Ablauf unterschiedlich, je nachdem, ob die Steuerung als 35 E-BUS-MASTER oder E-BUS-SLAVE arbeitet. Ein Busprotokoll wird in dieser Schrift nicht beschrieben, da eine Vielzahl von Protokollen nach dem Stand der Technik implementiert werden können.

## 2.2.8 E-BUS-MASTER und E-BUS-SLAVE, das EB-REG

- 40 Zur Verwaltung des Datenverkehrs auf dem E-BUS existiert das E-BUS-Steuerregister (EB-REG). Es ist in Reihe mit den Toren geschaltet und kann vom E-BUS aus adressiert und angesprochen werden. Über folgende Einträge könnte der Datenaustausch geregelt werden:

I-WRITE: zeigt an, daß der I-BUS komplett in die INPUT/OUTPUT-CELLs geschrieben ist

I-READ: zeigt an, daß der I-BUS die INPUT/OUTPUT-CELLs komplett gelesen hat

45 E-WRITE: zeigt an, daß der E-BUS komplett in die INPUT/OUTPUT-CELLs geschrieben ist

E-READ: zeigt an, daß der E-BUS die INPUT/OUTPUT-CELLs komplett gelesen hat.

Das EB-REG ist immer nur auf der Seite des E-BUS-SLAVE aktiv und der E-BUS-MASTER greift lesend und schreibend darauf zu.

- 50 – Alle I...-Einträge werden vom E-BUS-SLAVE geschrieben und vom E-BUS-MASTER gelesen.  
– Alle E...-Einträge werden vom E-BUS-MASTER geschrieben und vom E-BUS-SLAVE gelesen.

Ein E-BUS-SLAVE kann die Kontrolle über den E-BUS fordern, in dem er das Bit REQ-MASTER in seinem EB-REG setzt. Erkennt der E-BUS-MASTER das Bit REQ-MASTER, so muß er seine Buskontrolle so bald wie möglich abgeben. Dies geschieht, in dem er das Bit MASTER im EB-REG eines E-BUS-SLAVE setzt. Er schaltet daraufhin sofort die E-BUS passiv. Der alte E-BUS-SLAVE wird zum neuen E-BUS-MASTER und der alte E-BUS-MASTER wird zum neuen E-BUS-SLAVE. Der neue E-BUS-MASTER übernimmt die Steuerung des E-BUS. Zur Erkennung des erstens E-BUS-MASTERs nach einer Rücksetzung (RESET) des Systems, existiert ein Anschluß an jedem Baustein, der durch die voreingestellte Polarität angibt, ob der Baustein nach einem RESET E-BUS-MASTER oder E-BUS-SLAVE ist. Der Eintrag MASTER im EB-REG kann auch von der Ladelogik gesetzt und zurückgesetzt werden. Dabei hat die Ladelogik darauf zu achten, daß keinerlei Buskollisionen am EB-BUS entstehen oder laufende Transfers abgebrochen werden.

## 2.2.9 E-BUS-MASTER schreibt Daten in E-BUS-SLAVE

- 65 Folgendermaßen kann der E-BUS-MASTER Daten in den E-BUS-SLAVE schreiben:

→ Die Datenübertragung beginnt damit, daß die Zustandsmaschine des E-BUS-MASTERs eine OUTPUT-CELL auswählt, die nicht ausmaskiert ist.

# DE 196 54 595 A 1

→ Im I-GATE-REG sind, je nach Ausführung der Zustandsmaschine, bereits Daten gespeichert oder die Daten werden jetzt gespeichert.

→ Das Tor wird aktiviert.

    ~ Die gültige Leseadresse wird auf den Bus übertragen.

    ~ Die Daten gelangen auf den E-BUS und werden in das E-GATE-REG des E-BUS-SLAVE gespeichert.

→ Dadurch wird das SET-REG im E-BUS-SLAVE aktiviert.

→ Das Tor im E-BUS-MASTER wird deaktiviert.

→ Der Adreßzähler generiert die Adresse für den nächsten Zugriff.

→ Der Transfer ist für den E-BUS-MASTER beendet.

5

Auf der Seite des E-BUS-SLAVE existieren zwei Ausgestaltungsmöglichkeiten die Daten vom Bus in den Baustein zu transferieren:

1. Das Daten-Tor ist immer offen und die Daten gelangen direkt vom E-GATE-REG auf den I-BUSn.

2. Die Zustandsmaschine erkennt, daß SET-REG aktiviert ist und aktiviert das Tor, dadurch kann SET-REG zurückgesetzt werden.

15

Der E-BUS-MASTER kann dem E-BUS-SLAVE mitteilen, wann ein kompletter Buszyklus beendet ist. (Ein Buszyklus ist als das Übertragen mehrerer Datenworte an unterschiedliche E-GATE-REG definiert, wobei jedes E-GATE-REG genau ein Mal angesprochen werden darf.)

20

→ Dazu setzt der E-BUS-MASTER am Ende eines Buszyklus das Bit E-WRITE im EB-REG des E-BUS-SLAVE.

→ Der E-BUS-SLAVE kann darauf reagieren, in dem er die INPUT-CELLs abfragt.

→ Hat er alle INPUT-CELLs abgearbeitet, setzt er das Bit I-READ in seinem EB-REG.

→ Dabei setzt er E-WRITE und sämtliche SET-REG der INPUT-CELLs zurück.

→ Der E-BUS-MASTER kann I-READ abfragen und nach dessen Aktivierung einen neuen Buszyklus beginnen.

25

→ I-READ wird durch Schreiben von E-WRITE oder den ersten Bustransfer zurückgesetzt.

Der E-BUS-SLAVE kann anhand des Zustandes des EB-REG oder der einzelnen SET-REG der INPUT-CELLs auswerten, ob die INPUT-CELLs neu gelesen werden können/müssen.

30

## 2.2.10 E-BUS-MASTER liest Daten von E-BUS-SLAVE

Aus der Sicht des E-BUS-MASTERs existieren zwei grundlegende Methoden Daten vom E-BUS-SLAVE zu lesen:

35

1. Verfahren, in dem die E-BUS-Daten direkt auf den I-BUS gelangen:

→ Die Datenübertragung beginnt damit, daß die Zustandsmaschine des E-BUS-MASTERs eine INPUT-CELL auswählt, die nicht ausmaskiert ist.

→ Das I-GATE und das ADR-GATE werden aktiviert.

    ~ Die gültige Leseadresse wird auf den Bus übertragen.

→ Das I-GATE-REG ist transparent, d. h. es läßt die Daten auf den I-BUSn durch.

→ Das Tor im E-BUS-MASTER wird deaktiviert.

→ Der Adreßzähler generiert die Adresse für den nächsten Zugriff.

→ Der Transfer ist für den E-BUS-MASTER beendet.

40

2. Verfahren, in dem die E-BUS-Daten im I-GATE-REG zwischengespeichert werden:

→ Die Datenübertragung beginnt damit, daß die Zustandsmaschine des E-BUS-MASTERs eine INPUT-CELL auswählt, die nicht ausmaskiert ist.

→ Das I-GATE und das ADR-GATE werden aktiviert.

    ~ Die gültige Leseadresse wird auf den Bus übertragen.

→ Das I-GATE-REG speichert die Daten.

→ Das Tor im E-BUS-MASTER wird deaktiviert.

→ Der Adreßzähler generiert die Adresse für den nächsten Zugriff.

→ Der E-BUS-Transfer ist für den E-BUS-MASTER beendet.

45

→ Alle am E-BUS-Transfer beteiligten INPUT-CELLs, dies kann anhand der Masken in den MODE-PLU-REG oder dem Zustand der SET-REG festgestellt werden, werden durchlaufen und die Daten auf den jeweiligen I-BUS übertragen.

55

Für den E-BUS-SLAVE sieht der Zugriff wie folgt aus:

→ Durch den E-BUS wird das Tor aktiviert.

→ Die Daten und der Zustand des möglicherweise vorhandenen SET-REG gelangen auf den E-BUS.

→ Das Tor wird deaktiviert.

60

Der E-BUS-MASTER kann dem E-BUS-SLAVE mitteilen, wann ein kompletter Buszyklus beendet ist.

65

→ Dazu setzt der E-BUS-MASTER am Ende eines Buszyklus das Bit E-READ im EB-REG des E-BUS-SLAVE.

→ Der E-BUS-SLAVE kann darauf reagieren, in dem er die OUTPUT-CELLs neu beschreibt.

→ Hat er alle OUTPUT-CELLs abgearbeitet, setzt er das Bit I-WRITE in seinem EB-REG.

# DE 196 54 595 A 1

- Dabei setzt er E-READ und sämtliche SET-REG der OUTPUT-CELLs zurück.
- Der E-BUS-MASTER kann I-WRITE abfragen und nach dessen Aktivierung einen neuen Buszyklus beginnen.
- I-WRITE wird durch Schreiben von E-READ oder den ersten Bustransfer zurückgesetzt.

- 5 Der E-BUS-SLAVE kann anhand des Zustandes des EB-REG oder der einzelnen SET-REG der OUTPUT-CELLs auswerten, ob die OUTPUT-CELLs neu beschrieben werden können/müssen.

## 2.2.11 Anschluß von Speicher, Peripherie und Kaskadierung

- 10 Außer der Kaskadierung von gleichen Bausteinen (DFPs, FPGAs, DPGAs) kann an das beschriebene Bussystem Speicher und Peripherie als untergeordnete SLAVE-Baustein (SLAVE) angeschlossen werden. Dabei kann Speicher und Peripherie, sowie weitere Bausteine (DFPs, FPGAs) gemischt werden. Jeder angeschlossene SLAVE wertet die Adressen auf dem Bus aus und erkennt selbstständig ob er angesprochen ist. In diesen Betriebsarten ist der Baustein, der den Speicher oder die Peripherie, also die SLAVE-Bausteine anspricht, der Bus-MASTER (MASTER), d. h. der Baustein steuert 15 den Bus und den Datentransfer. Die Ausnahme bilden intelligente Peripheriebausteine, wie z. B. SCSI-Kontroller, die selbstständig Transfers initiieren und durchführen können und daher E-BUS-MASTER sind.

## 2.2.12 Zusammenfassung

- 20 Durch das beschriebene Verfahren, lassen sich Bussysteme einfach und leistungsfähig an DFPs und FPGAs anschließen. Dabei können über die Bussysteme sowohl Speicher und Peripherie, als auch weitere Bausteine o.g. Gattung verbunden werden.

Das Bussystem muß nicht ausschließlich in den DFPs, FPGAs und DPGAs implementiert sein. Selbstverständlich ist ein Mischbetrieb dieses Bussystems mit den herkömmlichen Anschlußstrukturen der Bausteine möglich. Damit können 25 die Vorteile der jeweiligen Technik optimal genutzt werden.

Es sind weitere Ablaufverfahren für das beschriebene Bussystem denkbar. Diese werden jedoch nicht beschrieben, da es sich um freie Ausgestaltungsmöglichkeiten handelt, die vom hier aufzuzeigenden Grundprinzip unabhängig sind.

## 3 Kurzbeschreibung der Diagramme

- 30 Fig. 1 Zeichnung eines Basisbausteines als FPGA Typ A,  
Fig. 2 Zeichnung eines Basisbausteines als FPGA Typ B,  
Fig. 3 Zeichnung eines Basisbausteines als DFP,  
Fig. 4 Leitungsbündelung in FPGAs,  
35 Fig. 5 Leitungsbündelung in DFPs,  
Fig. 6 Eine OUTPUT-CELL,  
Fig. 7 Eine INPUT-CELL,  
Fig. 8 Die Adreßgenerierung,  
Fig. 9 Komplettes Bussystem mit Steuerung,  
40 Fig. 10 Anschluß von Speicher und Peripherie,  
Fig. 11 Das EB-REG,  
Fig. 12 Ausführungsbeispiel.

## 4 Detailbeschreibung der Diagramme

- 45 Fig. 1 zeigt einen FPGA nach dem Stand der Technik. 0101 stellt die internen Bussysteme dar, 0102 beinhaltet eine oder mehrere FPGA-Zelle(n). 0103 sind Teilbusse, die eine Teilmenge von 0101 darstellen und über Schalter (Crossbars) mit 0101 verbunden sind. 0103 kann auch interne Daten von 0102 verwalten, die nicht auf 0101 geschaltet werden. Die 50 FPGA-Zellen sind in einem 2-dimensionalen Array angeordnet. 0104 stellt eine Kanten Zelle dar, die am Rand des Arrays sitzt und sich somit in nächster Nähe zu den Anschlüssen am Rand des Bausteins befindet.

Fig. 2 zeigt einen weiteren FPGA nach dem Stand der Technik. Diese Ausführungsmöglichkeit arbeitet nicht mit Bussystemen wie 0101 sondern hauptsächlich mit NextNeighbour-Verbindungen (0201), das sind direkte Verbindungen von einer FPGA-Zelle (0203) zu ihrer Nachbarzelle. Es können dennoch globale Bussysteme (0202) existieren, diese sind jedoch nicht sehr breit. Die FPGA-Zellen oder eine Gruppe von FPGA-Zellen besitzen eine Verbindung zu 0202. Die 55 FPGA-Zellen sind in einem 2-dimensionalen Array angeordnet. 0204 stellt eine Kanten Zelle dar, die am Rand des Arrays sitzt und sich somit in nächster Nähe zu den Anschlüssen am Rand des Bausteins befindet.

Fig. 3 zeigt einen DFP nach PACT02. Dabei sind die PAE-Zellen (0303) über ein Businterface (0304) auf die Bussysteme (0301) geschaltet. Die Bussysteme 0301 können über einen Busschalter (0302) miteinander verschaltet werden. Die PAE-Zellen sind in einem 2-dimensionalen Array angeordnet. 0305 stellt eine Kanten Zelle dar, die am Rand des Arrays 60 sitzt und sich somit in nächster Nähe zu den Anschlüssen am Rand des Bausteins befindet.

Fig. 4a zeigt eine FPGA-Kante nach Fig. 1. Außerhalb der Kanten Zellen (0401) ist eine Mehrzahl von INPUT/OUTPUT-CELLs (0402) angeordnet, die zu mehreren oder einzeln die internen Bussysteme (0403) mit dem E-BUS (0404) verbinden. Dabei ist die Menge der INPUT/OUTPUT-CELLs von ihrer eigenen Breite im Verhältnis zur Breite der internen Bussysteme abhängig. 0405 stellt ein EB-REG dar. 0406 stellt eine Zustandsmaschine dar. Von der Zustandsmaschine geht zum EB-REG und jeder einzelnen INPUT/OUTPUT-CELL ein Bussystem (0407), über das die Zustandsmaschine die INPUT/OUTPUT-CELLs steuert. Dabei können mehrere 0405 und 0406 existieren, indem je eine Menge an 0402 zu Gruppen zusammengefaßt werden und von je einer 0405 und 0406 verwaltet werden.

Fig. 4b zeigt eine FPGA-Kante nach Fig. 2. Außerhalb der Kanten Zellen (0411) ist eine Mehrzahl von INPUT/OUT-

# DE 196 54 595 A 1

PUT-CELLs (0412) angeordnet, die zu mehreren oder einzeln die internen Bussysteme (0413) und die direkten Verbindungen der Kantenzenellen (0417) mit dem E-BUS (0414) verbinden. Dabei ist die Menge der INPUT-/OUTPUT-CELLs von ihrer eigenen Breite im Verhältnis zur Breite der internen Bussysteme (0413) und der Menge der direkten Verbindungen (0418) abhängig. 0415 stellt ein EB-REG dar. 0416 stellt eine Zustandsmaschine dar. Von der Zustandsmaschine geht zum EB-REG und jeder einzelnen INPUT-/OUTPUT-CELL ein Bussystem (0417), über das die Zustandsmaschine die INPUT-/OUTPUT-CELLs steuert. Dabei können mehrere 0415 und 0416 existieren, indem je eine Menge an 0412 zu Gruppen zusammengefaßt werden und von je einer 0415 und 0416 verwaltet werden.

Fig. 5 zeigt eine DFP-Kante nach Fig. 3. Außerhalb der Kantenzenellen (0501) ist eine Mehrzahl von INPUT-/OUTPUT-CELLs (0502) angeordnet, die zu mehreren oder einzeln die internen Bussysteme (0503) mit dem E-BUS (0504) verbinden. Dabei ist die Menge der INPUT-/OUTPUT-CELLs von ihrer eigenen Breite im Verhältnis zur Breite der internen Bussysteme (0503) abhängig. 0505 stellt ein EB-REG dar. 0506 stellt eine Zustandsmaschine dar. Von der Zustandsmaschine geht zum EB-REG und jeder einzelnen INPUT-/OUTPUT-CELL ein Bussystem (0507), über das die Zustandsmaschine die INPUT-/OUTPUT-CELLs steuert. Dabei können mehrere 0505 und 0506 existieren, indem je eine Menge an 0412 zu Gruppen zusammengefaßt werden und von je einer 0505 und 0506 verwaltet werden.

Fig. 6 zeigt eine OUTPUT-CELL 0601. Außerhalb 0601 befindet sich das EB-REG (0602) und die Zustandsmaschine (0603), sowie ein Tor (0604), das die Zustandsmaschine auf den E-BUS (0605) schaltet, sofern sie E-BUS-MASTER ist. Auf das EB-REG kann über den E-BUS (0605), den I-BUS (0613) und den Ladelogikbus (0609) zugegriffen werden. Weiterhin kann bei einem Rücksetzen des Bausteins (Reset) über einen externen Anschluß (0614), der aus dem Baustein herausgeführt ist, das MASTER-Bit gesetzt werden. Die Zustandsmaschine (0603) greift schreibend und lesend auf 0602 zu. In der OUTPUT-CELL befindet sich ein Multiplexer (0606), der die Steuerung des E-GATE (0607) entweder dem E-BUS-MASTER oder der Zustandsmaschine (0603) zuordnet. Das MODE-PLUREG (0608) wird über den Ladelogikbus (0609) oder den I-BUS (0613) eingestellt und konfiguriert den Adreßzähler (0610), sowie die Zustandsmaschine (z. B. ausmaskieren der OUTPUT-CELL). Werden Daten des I-BUS (0613) in das I-GATE-REG (0611) gespeichert, wird der Zugriff im SET-REG (0612) vermerkt. Der Zustand von 0612 ist über 0607 am E-BUS abfragbar. Ein lesender Zugriff (das E-GATE 0607 ist aktiviert) setzt 0612 zurück. Die von 0610 generierten Adressen und die Daten von 0611 werden über das Tor 0607 auf den E-BUS übertragen. Es besteht die Möglichkeit die OUTPUT-CELL statt über die Ladelogik über den Baustein (DFP, FPGA, DPGA, o. ä.) selbst dynamisch umzukonfigurieren und zu steuern. Hierzu dient der der I-BUS-Anschluß an das EB-REG (0602) und das MODE-PLUREG (0608).

Fig. 7 zeigt eine INPUT-CELL 0701. Außerhalb 0701 befindet sich das EB-REG (0702) und die Zustandsmaschine (0703), sowie ein Tor (MASTER-GATE) (0704), das die Zustandsmaschine auf den E-BUS (0705) schaltet, sofern sie EBUS-MASTER ist. Auf das EB-REG, kann über den E-BUS (0705), den I-BUS (0713) und den Ladelogikbus (0709) zugegriffen werden. Weiterhin kann bei einem Rücksetzen des Bausteins (Reset) über einen externen Anschluß (0714), der aus dem Baustein herausgeführt ist, das MASTER-Bit gesetzt werden. Die Zustandsmaschine (0703) greift schreibend und lesend auf 0702 zu. In der INPUT-CELL befindet sich ein Multiplexer (0706), der die Steuerung des E-GATE-REG (0707) entweder dem E-BUS-MASTER oder der Zustandsmaschine (0703) zuordnet. Das MODE-PLUREG (0708) wird über den Ladelogikbus (0709) oder den I-BUS (0713) eingestellt und konfiguriert den Adreßzähler (0710), sowie die Zustandsmaschine (z. B. ausmaskieren der INPUT-CELL). Werden Daten des E-BUS (0705) in das E-GATE-REG (0707) gespeichert, wird der Zugriff im SET-REG (0712) vermerkt. Der Zustand von 0712 ist über ein Tor (0715), dessen Steuerung die selbe wie beim Latch (0707) ist, am E-BUS abfragbar. Ein lesender Zugriff, das E-GATE 0711 ist aktiviert und die Daten gelangen auf den I-BUS (0713) setzt 0712 über 0717 zurück. Alternativ kann 0712 über die Zustandsmaschine (0703) zurückgesetzt werden (0718). Die von 0710 generierten Adressen werden über das Tor (ADR-GATE) 0716 auf den E-BUS übertragen; 0716 wird von der Zustandsmaschine (0703) aktiviert, wenn diese E-BUS-MASTER ist. Es besteht die Möglichkeit die INPUT-CELL statt über die Ladelogik über den Baustein (DFP, FPGA, DPGA, o. ä.) selbst dynamisch umzukonfigurieren und zu steuern. Hierzu dient der der I-BUS-Anschluß an das EB-REG (0702) und das MODE-PLUREG (0708).

Fig. 8 zeigt das MODE-PLUREG (0801) einer INPUT- oder OUTPUT-CELL, das über den Ladelogikbus (0802) von der Ladelogik oder über einen I-BUS (0808) beschrieben wird. Das jeweilige Bussystem wird über den Multiplexer (0809) ausgewählt, dabei ist die Steuerung des Multiplexers nicht eingezeichnet, da eine gewöhnliche Dekodierlogik verwendet werden kann. Die Zählereinstellungen, wie Schrittbreite, Zählrichtung und Freischaltung des Zählers werden direkt (0807) an den Zähler (0803) geleitet. Die Grundadresse kann entweder über einen Load (0804) direkt in den Zähler geschrieben (0805) werden, oder in einem Zusatz (0811) zu 0801 zwischengespeichert werden. Die für die Zustandsmaschine relevanten Einträge in 0801 gelangen über ein Tor (0806), das von der Zustandsmaschine für die jeweilig aktivierte INPUT- oder OUTPUT-CELL geöffnet wird, zur Zustandsmaschine.

Fig. 9a zeigt eine Businterfaceschaltung mit Zustandsmaschine (0901), MASTER-GATE (0902) und EB-REG (0903). Die INPUT-CELLs (0904) transferieren Daten vom E-BUS (0905) auf den II-BUS (0906). Die OUTPUT-CELLs (0907) transferieren Daten vom IO-BUS (0908) auf den E-BUS (0905). Über den Steuerbus (0909) sind sämtliche Baugruppen miteinander verbunden.

Fig. 9b zeigt eine Businterfaceschaltung mit Zustandsmaschine (0901), MASTER-GATE (0902) und EB-REG (0903). Die INPUT-CELLs (0904) transferieren Daten vom E-BUS (0905) auf den bidirektionalen I-BUS (0910). Die OUTPUT-CELLs (0907) transferieren Daten vom bidirektionalen I-BUS (0910) auf den E-BUS (0905). Über den Steuerbus (0909) sind sämtliche Baugruppen miteinander verbunden. Es sind auch Interfaceschaltungen denkbar, die beide Möglichkeiten (Fig. 9a und 9b) gemischt verwenden.

Fig. 10a zeigt zwei Bausteine (DFPs, FPGAs, DPGAs, o. ä.) (1001) über den E-BUS (1002) miteinander vernetzt.

Fig. 10b zeigt die Vernetzung einer Mehrzahl von Bausteinen (DFPs, FPGAs, DPGAs, o. ä.) (1001) über den E-BUS (1002).

Fig. 10c zeigt die Vernetzung einer Mehrzahl von Bausteinen (DFPs, FPGAs, DPGAs, o. ä.) (1001) über den E-BUS (1002). Die Vernetzung kann zu einer Matrix ausgebaut werden. Ein Baustein (1001) kann auch eine Mehrzahl von Bussystemen (1002) verwalten.

5

10

15

20

25

30

35

40

45

50

55

60

65

# DE 196 54 595 A 1

Fig. 10d zeigt die Vernetzung einer Bausteins (DFPs, FPGAs, DPGAs, o. ä.) (1001) mit einem Speicherbaustein oder einer Speicherbank (1003) über den E-BUS (1002).

Fig. 10e zeigt die Vernetzung einer Bausteins (DFPs, FPGAs, DPGAs, o. ä.) (1001) mit einem Peripheriebaustein oder einer Peripheriegruppe (1004) über den E-BUS (1002).

5 Fig. 10f zeigt die Vernetzung einer Bausteins (DFPs, FPGAs, DPGAs, o. ä.) (1001) mit einem Speicherbaustein oder einer Speicherbank (1003) und mit einem Peripheriebaustein oder einer Peripheriegruppe (1004) über den E-BUS (1002).

Fig. 10g zeigt die Vernetzung einer Bausteins (DFPs, FPGAs, DPGAs, o. ä.) (1001) mit einem Speicherbaustein oder einer Speicherbank (1003) und mit einem Peripheriebaustein oder einer Peripheriegruppe (1004) und einem weiteren  
10 Baustein (DFPs, FPGAs, DPGAs, o. ä.) (1001) über den E-BUS (1002).

Fig. 11 zeigt den Aufbau des EB-REG. Die Bussysteme E-BUS (1103); Ladelogikbus (1104), über welchen die Ladelogik Zugriff auf das EB-REG hat und der lokale interne Bus zwischen den INPUT-/OUTPUT-CELLs, der Zustandsmaschine und dem EB-REG (1105, vgl. 0407, 0417, 0517), sowie möglicherweise ein I-BUS (1114) werden auf einen Multiplexer (1106) geführt. Der Multiplexer (1106) wählt entweder einen der Busse oder die Rückkopplung auf das Register  
15 (1108) aus und schaltet die Daten zum Eingang des Registers (1108) durch. Das MASTER-Bit wird getrennt über den Multiplexer (1107) zum Register (1108) geführt. Der Multiplexer wird über das RESET-Signal (1101) (Rücksetzen oder Initialisieren des Bausteines) gesteuert. Liegt ein RESET an, so schaltet der Multiplexer (1107) das Signal eines externen Chipanschlusses (1102) auf den Eingang des Registers (1108) durch, andernfalls wird der Ausgang des Multiplexers (1106) auf den Eingang des Registers (1108) durchgeschaltet. Dadurch kann MASTER vorbelegt werden. Das Register  
20 (1108) wird über den Systemtakt (1112) getaktet. Der Inhalt des Registers (1108) wird über ein Tor (1109, 1110, 1111, 1113) auf das jeweils lesend zugreifenden Bussystem (1103, 1104, 1105, 1114) geschaltet. Die Steuerung der Tore (1109, 1110, 1111, 1113), sowie des Multiplexers (1106) ist nicht eingezeichnet, da eine gewöhnliche Dekodierlogik verwendet werden kann.

25

## 5 Ausführungsbeispiele

Fig. 12 zeigt ein Beispiel bei dem das Standardbussystems RAMBUS (1203) eingesetzt wird. Ein Baustein (DFPs, FPGAs, DPGAs, o. ä.) (1201) ist über das Bussystem (1203) mit weiteren Baugruppen (Speicher, Peripherie, weitere DFPs, FPGAs, DPGAs, o. ä.) (1202) verbunden. Der Baustein (1201) kann unabhängig vom Bussystem (1203) weitere  
30 Anschlußleitungen (1204), z. B. wie nach dem Stand der Technik üblich, zum Anschluß beliebiger Schaltkreise aufweisen.

## 6 Begriffsdefinition

- 35 ADR-GATE: Tor, das die Adressen auf den E-BUS aufschaltet, sofern der Baustein E-BUS-MASTER ist.  
DFP: Datenflußprozessor nach Patent/Offenlegung DE 44 16 881  
DPGA: Dynamisch konfigurierbare FPGAs. Stand der Technik  
D-FlipFlop: Speicherelement, welches ein Signal bei der steigenden Flanke eines Taktes speichert.  
EB-REG: Register, das sie Statussignale zwischen I-BUS und E-BUS speichert.  
40 E-BUS: Externes Bussystem außerhalb eines Bausteines.  
E-BUS-MASTER: Baustein, der den E-BUS steuert. Aktiv.  
E-BUS-SLAVE: Baustein, der vom E-BUS-MASTER angesprochen wird. Passiv.  
E-GATE: Tor, das von der bausteininternen Zustandsmaschine oder vom E-BUS-MASTER: gesteuert wird und Daten auf den E-BUS aufschaltet.  
45 E-GATE-REG: Register in das die Daten eingetragen werden, die über das E-GATE auf den E-BUS übertragen werden.  
E-READ: Flag im EB-REG, das anzeigt, daß die OUTPUT-CELLs komplett auf den E-BUS übertragen wurden.  
E-WRITE: Flag im EB-REG, das anzeigt, daß der E-BUS komplett in die INPUT-CELLs übertragen wurde.  
Flag: (Fahne). Statusbit in einem Register, das einen Zustand anzeigt.  
FPGA: Programmierbarer Logikbaustein. Stand der Technik.  
50 Handshake Signalprotokoll, bei dem ein Signal A einen Zustand anzeigt und ein anderes Signal B bestätigt, daß es Signal A akzeptiert und darauf reagiert (hat).  
INPUT-CELL: Baugruppe, die Daten vom E-BUS auf einen I-BUS überträgt.  
I-BUSn: (auch I-BUS) Bausteininternes Bussystem, das auch aus Bündeln von einzelnen Leitungen bestehen kann. n gibt die Nummer des Busses an.  
55 II-BUSn: (auch II-BUS) Bausteininternes Bussystem, das auch aus Bündeln von einzelnen Leitungen bestehen kann. Der Bus wird von einer INPUT-CELL getrieben und geht auf logische Eingänge.  
n gibt die Nummer des Busses an.  
IO-BUSn: (auch IO-BUS) Bausteininternes Bussystem, das auch aus Bündeln von einzelnen Leitungen bestehen kann.  
Der Bus wird von logischen Ausgängen getrieben und geht an eine OUTPUT-CELL. n gibt die Nummer des Busses an.  
60 I-GATE: Tor, das Daten auf den I-BUS aufschaltet.  
I-GATE-REG: Register, das von der bausteininternen Zustandsmaschine oder vom E-BUS-MASTER gesteuert wird und in das die Daten eingetragen werden, die über das I-GATE auf den I-BUS übertragen werden.  
I-READ: Flag im EB-REG, das anzeigt, daß die INPUT-CELLs komplett auf den I-BUS übertragen wurden.  
I-WRITE: Flag im EB-REG, das anzeigt, daß der I-BUS komplett in die OUTPUT-CELLs übertragen wurde.  
65 Kanten Zelle: Zelle am Rand eines Zellarrays, oftmals mit direktem Kontakt zu den Anschlüssen eines Bausteines.  
Konfigurieren: Einstellen der Funktion und Vernetzung einer logischen Einheit, einer (FPGA)-Zelle (Logikzelle) oder einer PAE (vgl. umkonfigurieren).  
Ladelogik: Einheit zum Konfigurieren und Umkonfigurieren einer PAE oder Logikzelle. Ausgestaltet durch einen spe-

# DE 196 54 595 A 1

ziell an seine Aufgabe angepaßten Mikrocontroller.

**Latch:** Speicherelement, das ein Signal für gewöhnlich während des H-Pegels transparent weiterleitet und während des L-Pegels speichert. In PAEs werden teilweise Latches gebraucht, bei denen die Funktion der Pegel genau umgekehrt ist. Hierbei wird vor den Takt eines üblichen Latch ein Inverter geschaltet.

**Logikzellen:** Bei DFPs, FPGAs, DPGAs verwendete konfigurierbare Zellen, die einfache logische oder arithmetische Aufgaben gemäß ihrer Konfiguration erfüllen. 5

**MASTER:** Flag im EB-REG, das anzeigt, daß der Baustein EBUS-MASTER ist.

**MODE-PLUREG:** Register in dem die Ladelogik die Konfiguration einer INPUT/OUTPUT-CELL einstellt.

**OUTPUT-CELL:** Baugruppe, die Daten von einem I-BUS auf den E-BUS überträgt.

**PAE Processing Array Element:** EALU mit O-REG, R-REG, R2O-MUX, F-PLUREG, M-PLUREG, BM-, SM-, Sync-, StateBack- und Power-UNIT. 10

**PLU:** Einheit zum Konfigurieren und Umkonfigurieren einer PAE oder Logikzelle. Ausgestaltet durch einen speziell an seine Aufgabe angepaßten Mikrocontroller.

**REQ-MASTER:** Flag im EB-REG, das anzeigt, daß der Baustein E-BUS-MASTER werden möchte.

**RS-FlipFlop:** Reset-/Set-FlipFlop. Speicherelement, das durch 2 Signale umgeschaltet werden kann. 15

**SET-REG:** Register das anzeigt, daß Daten in ein I-GATE-REG oder E-GATE-REG geschrieben und noch nicht gelesen wurden.

**STATE-GATE:** Tor, das den Ausgang des SET-REG auf den E-BUS schaltet.

**Tor:** Schalter, der ein Signal weiterleitet oder sperrt. Einfacher Vergleich: Relais

**Umkonfigurieren:** Neues Konfigurieren von einer beliebigen Menge von PAEs oder Logikzellen während eine beliebige Restmenge von PAEs oder Logikzellen ihre eigenen Funktionen fortsetzen (vgl. konfigurieren). 20

**Zustandsmaschine:** Logik, die diversen Zuständen annehmen kann. Die Übergänge zwischen den Zuständen sind von verschiedenen Eingangsparametern abhängig. Diese Maschinen werden zur Steuerung komplexer Funktionen eingesetzt und entsprechen dem Stand der Technik. 25

## 7 Konventionen

### 7.1 Namenskonvention

Baugruppe -UNIT

30

Betriebsart -MODE

Multiplexer -MUX

Negiertes Signal not-

Register für PLU sichtbar -PLUREG

Register intern -REG

35

Schieberegisters -sft

### 7.2 Funktionskonvention

Schieberegisters sft

40

UND-Funktion &

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

45

50

ODER-Funktion #

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

55

60

# DE 196 54 595 A 1

NICHT-Funktion !

	A	Q
	0	1
	1	0

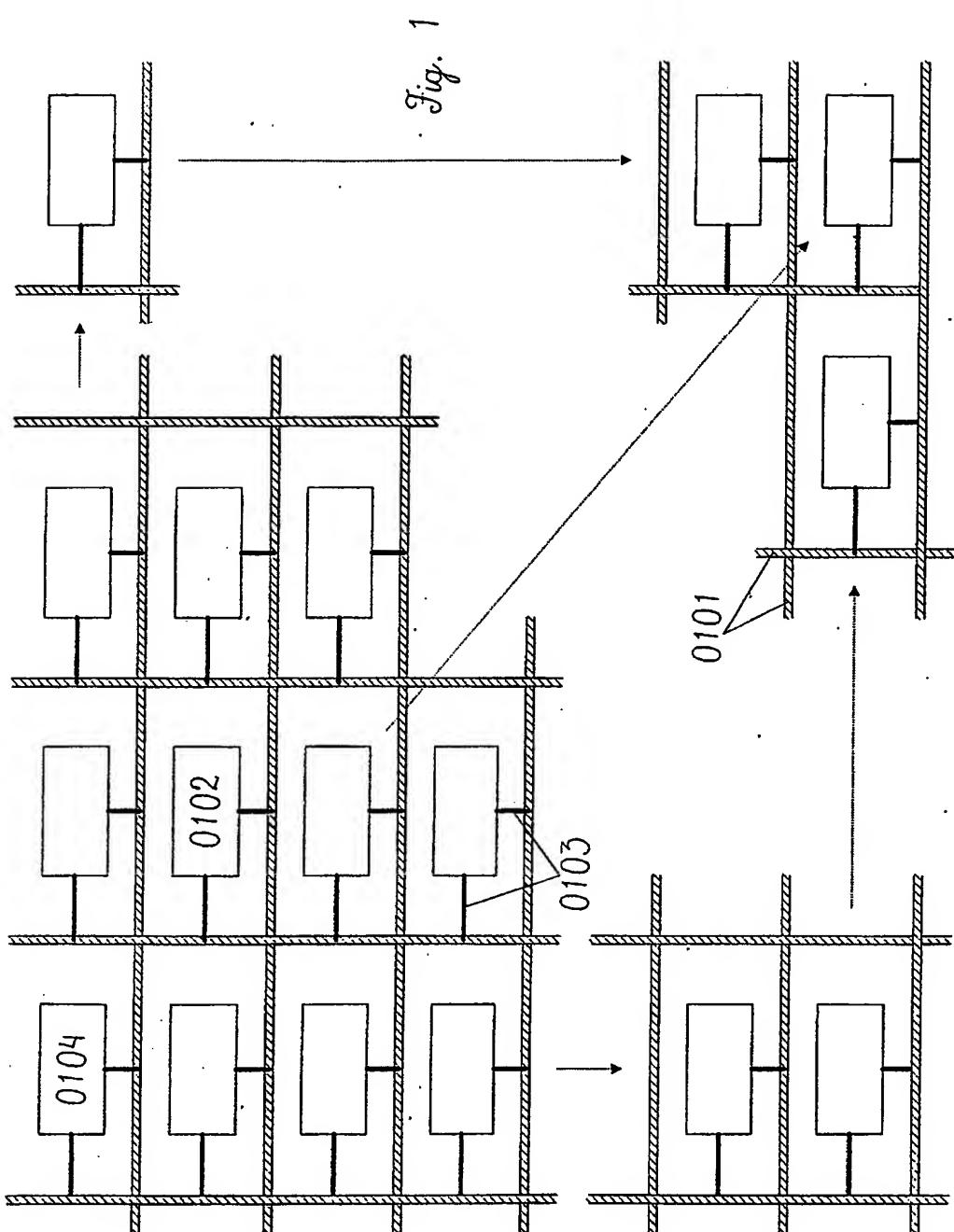
10 TOR-Funktion G

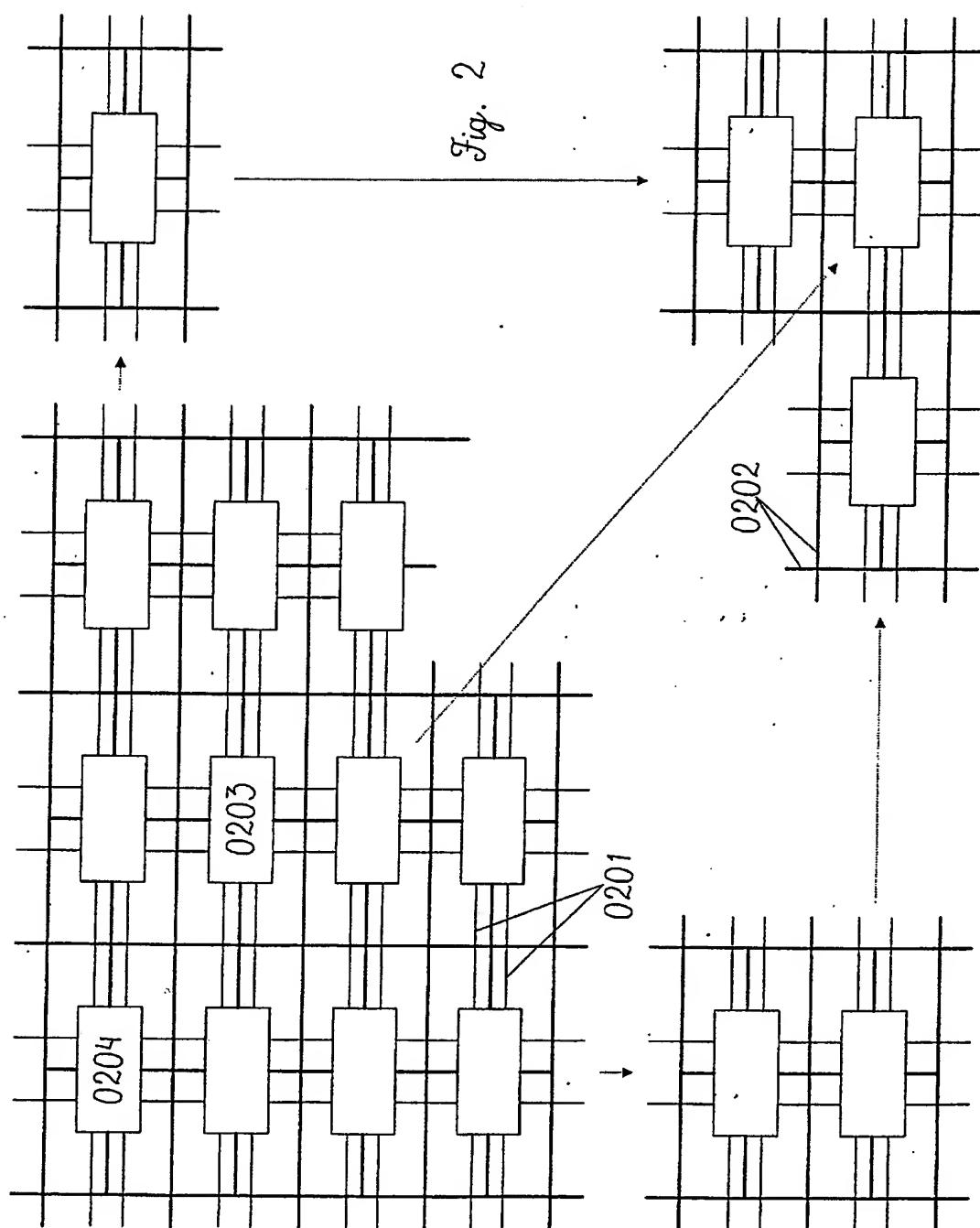
	EN	D	Q
	0	0	-
	0	1	-
	1	0	0
	1	1	1

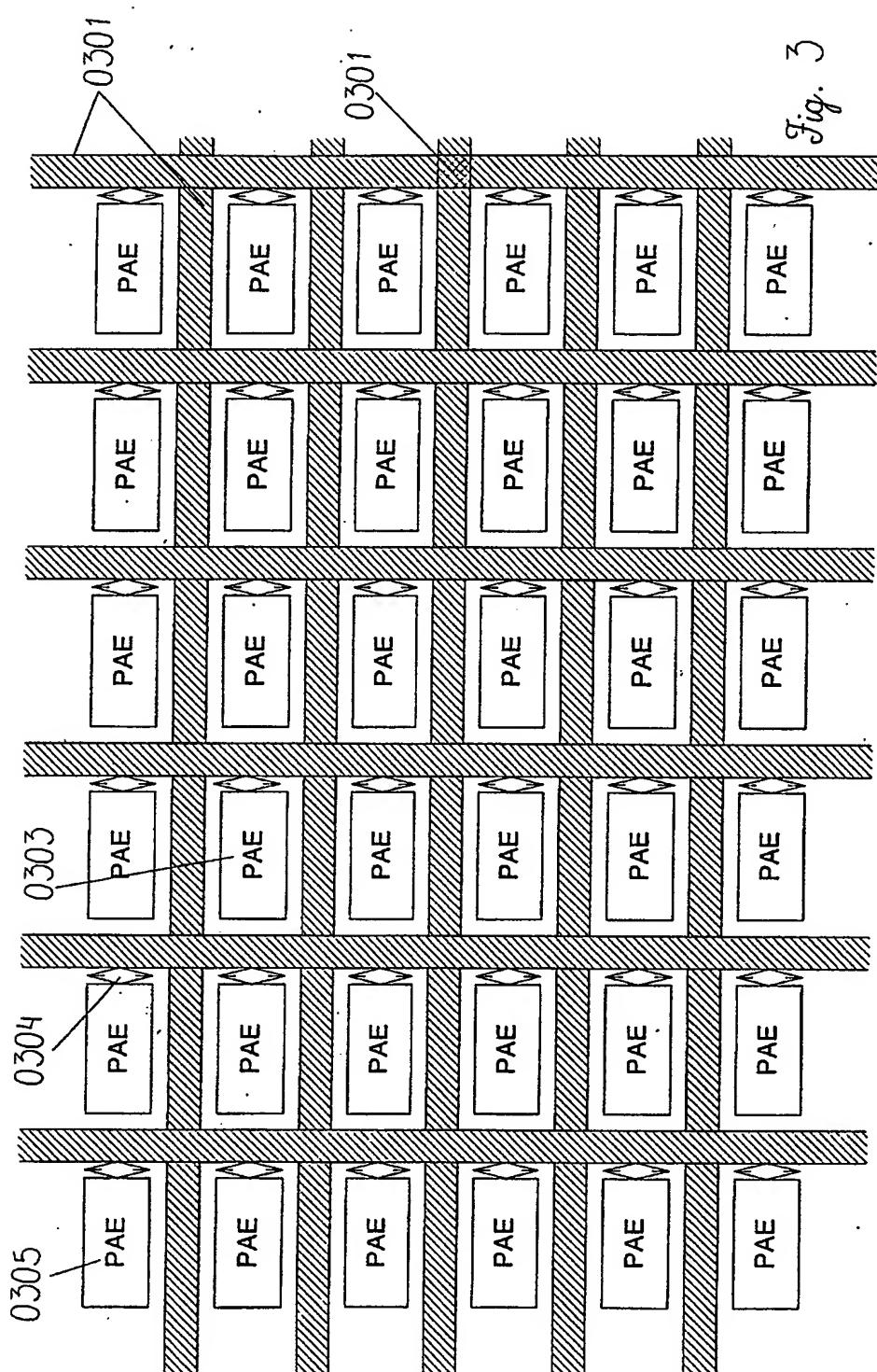
20 Patentansprüche

1. Bussystem, hergestellt durch Bündelung mehrerer einzelner Leitungen oder Busse oder Teilbusse (vgl. Fig. 4/5) innerhalb eines Bausteines der Gattung DFP, FPGA, DPGA, sowie allen Bausteinen mit zwei- oder mehrdimensionaler programmierbare Zellstruktur (vgl. Fig. 1/2/3), über welches die Bausteine zu mehreren zusammengefaßt werden können und/oder Speicher und/oder Peripherie anschließbar ist (vgl. Fig. 10).
2. Bussystem nach Anspruch 1, dadurch gekennzeichnet, daß eine oder mehrere Schnittstellen (Fig. 6/7) die Zusammenfassung der Leitungen übernehmen und das Bussystem erzeugen.
3. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß eine oder mehrere Zustandsmaschine(n) (0703/0603) die Schnittstellen (vgl. Fig. 6/7) steuert/steuern.
4. Bussystem nach Anspruch 1, 2 und 3, dadurch gekennzeichnet, daß die Zustandsmaschine auch den externen Bus steuert.
5. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß ein Adreßgenerator existiert (0610/0710), der die Adressen für die über den Bus zu kontaktierenden Bausteine generiert.
6. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß die Schnittstellen ein internes Bussystem oder mehrere interne Bussysteme, das/die aus mehreren Leitungen zusammengefaßt sein kann/können (vgl. Fig. 4/5), zum Schreiben und Lesen verwendet (vgl. Fig. 9a, I-BUS).
7. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß die Schnittstellen ein internes Bussystem oder mehrere interne Bussysteme, das/die aus mehreren Leitungen zusammengefaßt sein kann/können (vgl. Fig. 4/5), entweder zum Schreiben oder Lesen verwendet (vgl. Fig. 9b, II-BUS, IO-BUS).
8. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß die Schnittstellen ein internes Bussystem oder mehrere interne Bussysteme, das/die aus mehreren Leitungen zusammengefaßt sein kann/können (vgl. Fig. 4/5), nach Anspruch 6 und 7 gemischt betreiben.
9. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß ein Register zur Verwaltung und Steuerung des Bussystems existiert (EB-REG, 0702, 0602).
10. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß die Bussteuerung durch einen Baustein (E-BUS-MASTER) erfolgt, der auf eine Vielzahl von untergeordneten Bausteinen (E-BUS-SLAVE) zugreift.
11. Bussystem nach Anspruch 1, 2 und 10, dadurch gekennzeichnet, daß die Bussteuerung dynamisch von einem Baustein (E-BUS-MASTER) an einen anderen übergeben wird (MASTER-Eintrag im EB-REG).
12. Bussystem nach Anspruch 1, 2, 10 und 11, dadurch gekennzeichnet, daß ein untergeordneter Baustein (E-BUS-SLAVE) den Erhalt der Buskontrolle fordern kann (REQ-MASTER-Eintrag im EB-REG).
13. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß ein Register existiert, das anzeigt, ob Daten in den Schnittstellen gespeichert sind (SET-REG, 0612, 0712).
14. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß die Schnittstellen entweder direkt auf dem Baustein implementiert sind, oder durch die Konfiguration von Logikzellen, das sind Zellen in DFP-, FPGA-, DPGA, oder ähnlichen Bausteinen, die einfache logische oder arithmetische Aufgaben gemäß ihrer Konfiguration erfüllen, entstehen.
15. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß die Schnittstellen von einer Ladelogik und/oder dem Baustein selbst (vgl. Fig. 8/11) konfiguriert werden können.
16. Bussystem nach Anspruch 1, 2 und 15, dadurch gekennzeichnet, daß die Ladelogik partiell auf dem Baustein integriert ist.
17. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß Standardbussysteme eingesetzt werden können (vgl. Fig. 12).
18. Bussystem nach Anspruch 1 und 2, dadurch gekennzeichnet, daß der Baustein weitere gewöhnliche Anschlüsse nach bei DFPs, FPGAs, DPGAs, o. ä. üblicher Art besitzt (vgl. Fig. 12 1201, 1204).

Hierzu 11 Seite(n) Zeichnungen







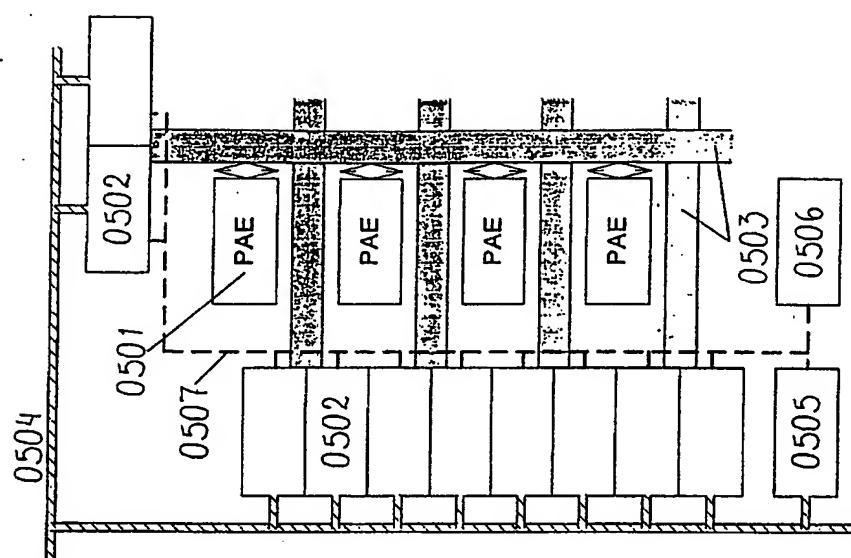


Fig. 5

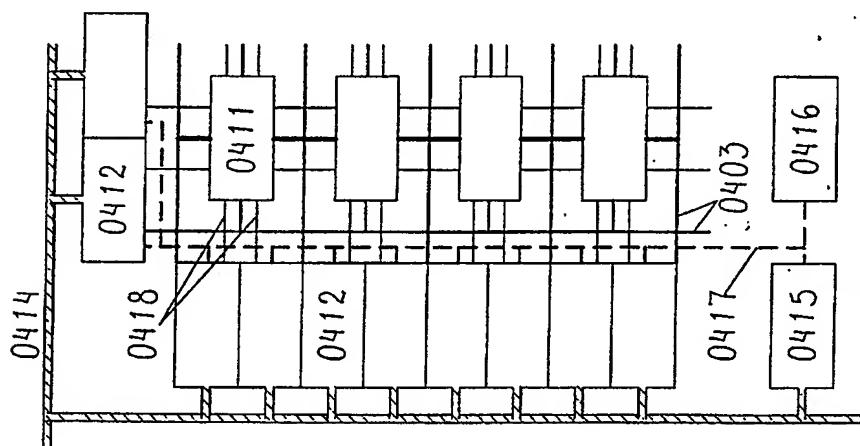


Fig. 4b

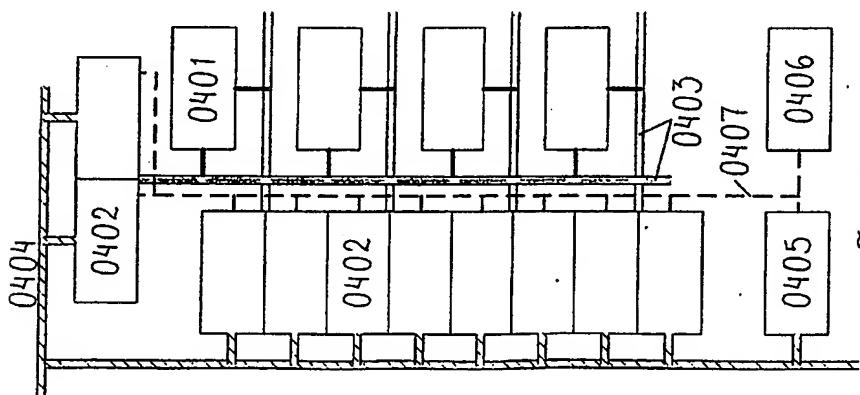


Fig. 4a

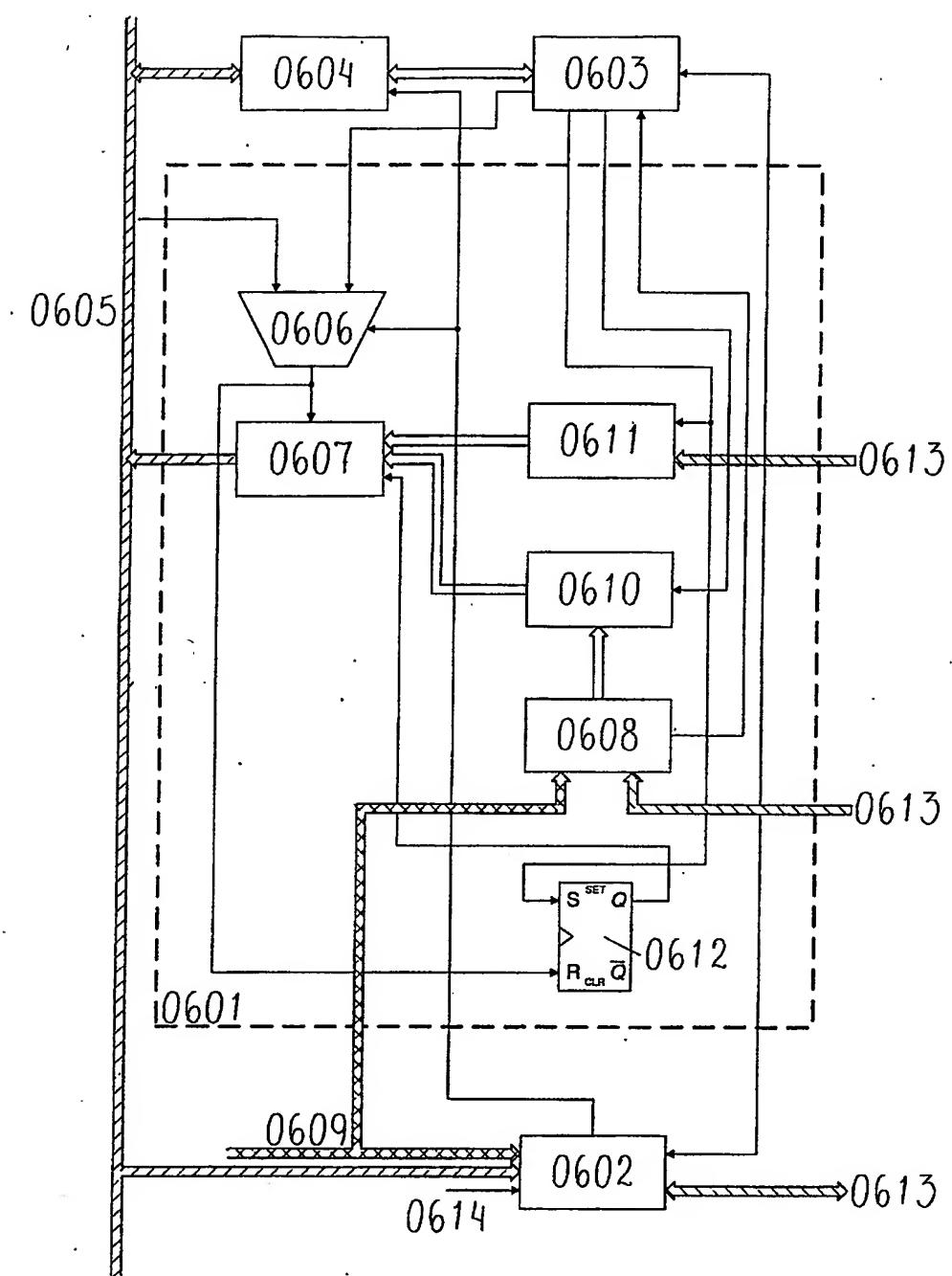
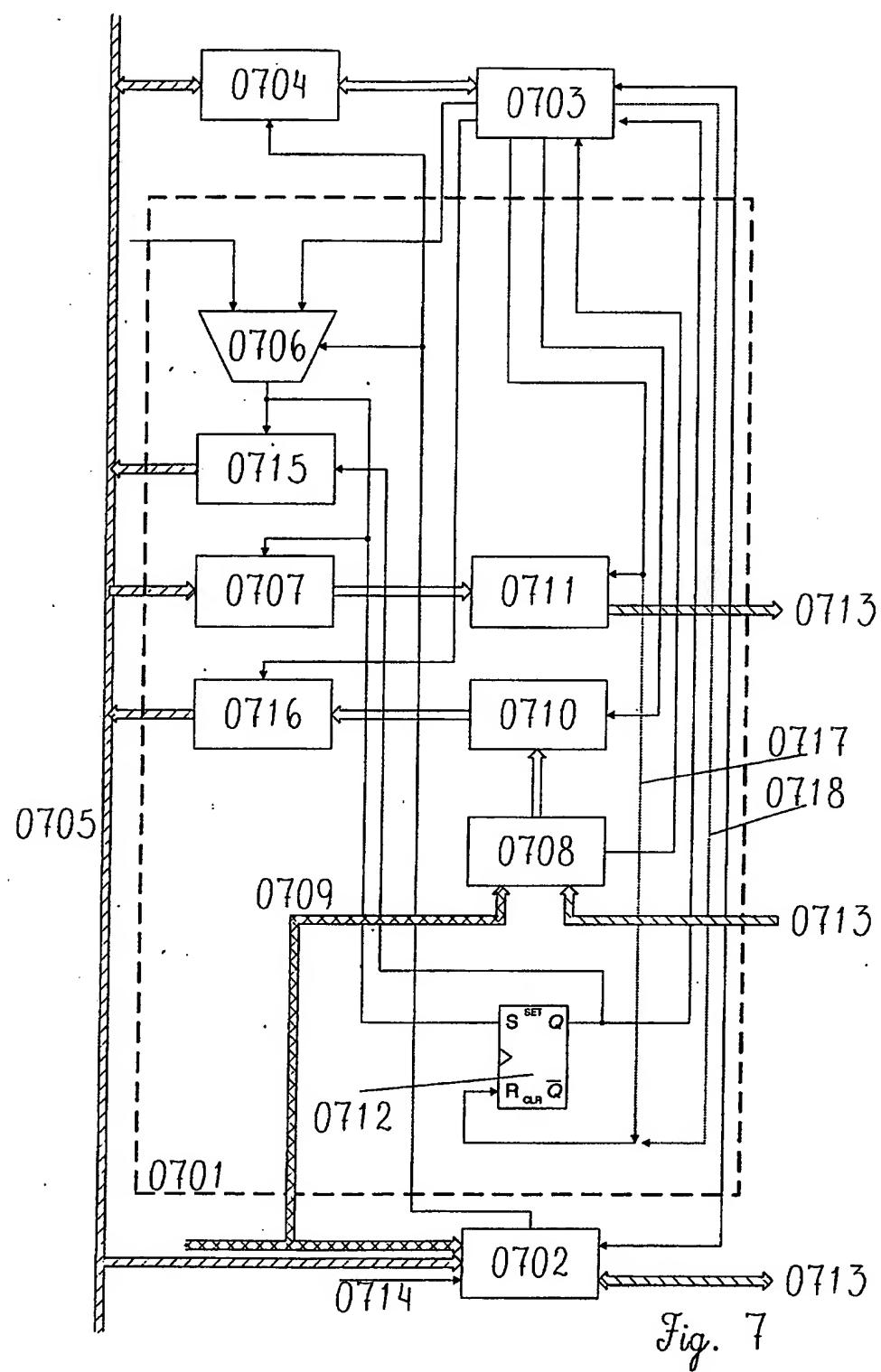
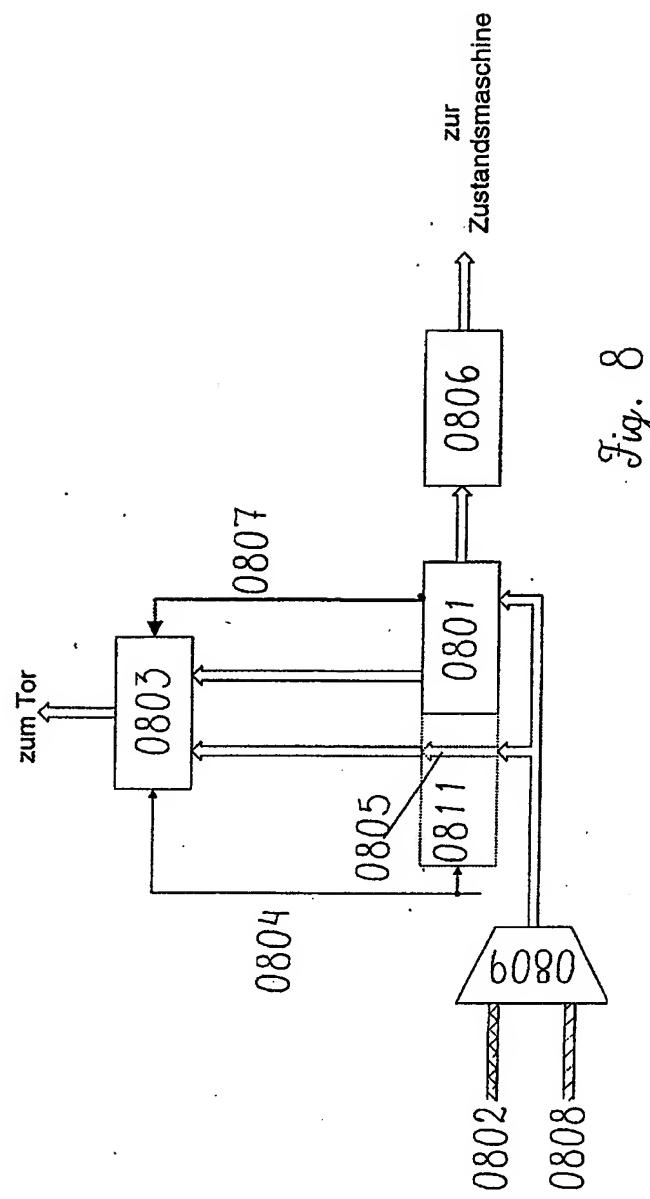


Fig. 6





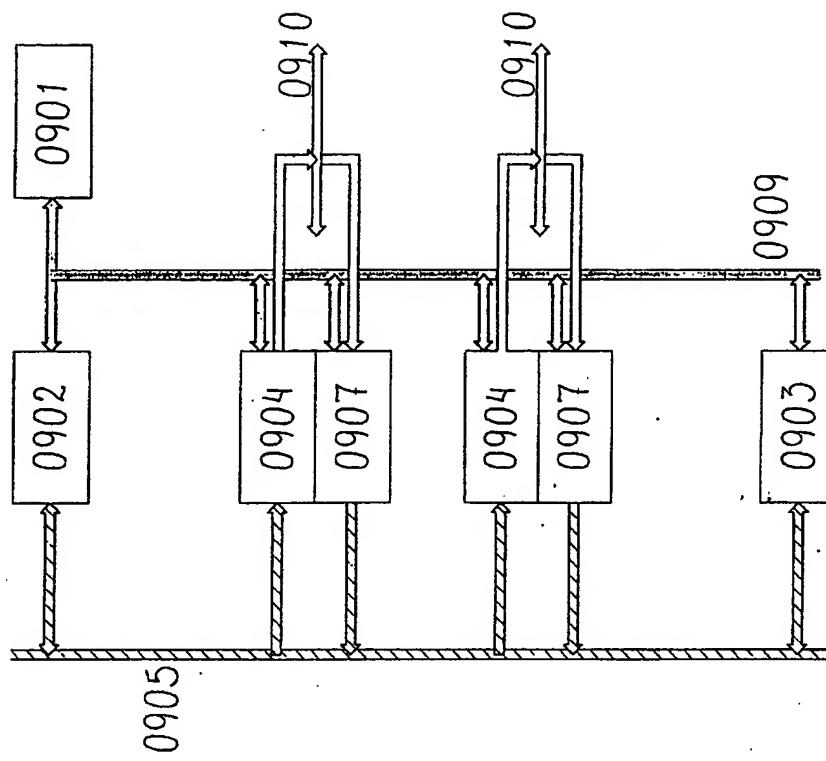


Fig. 9b

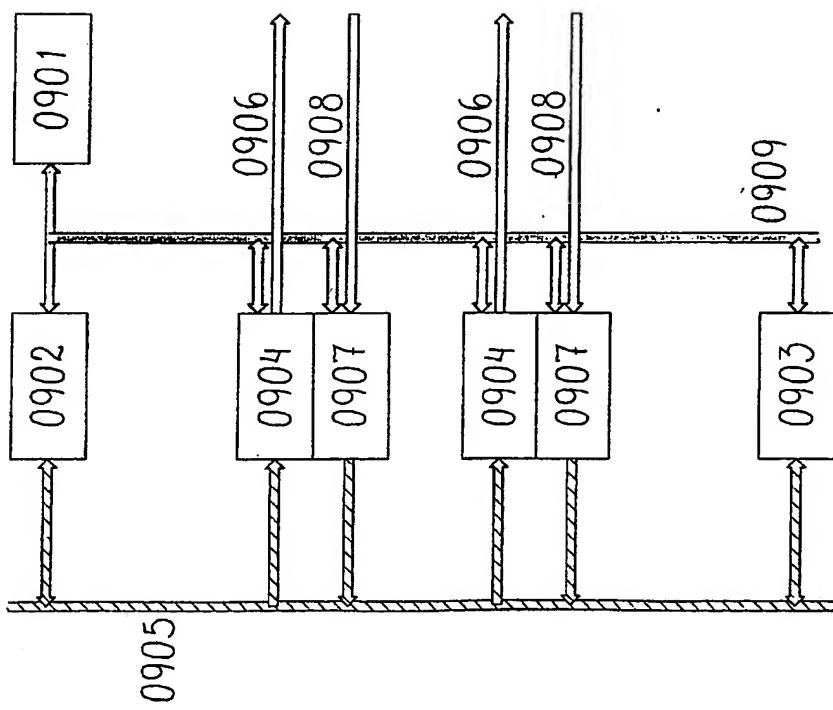
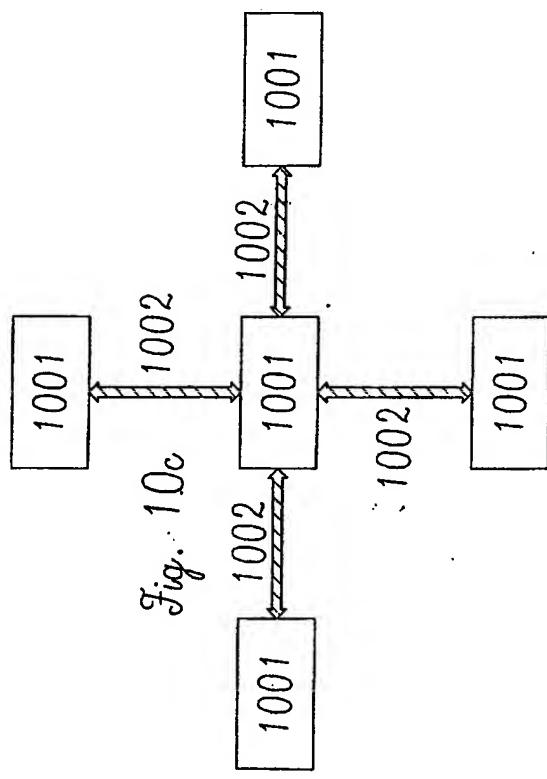
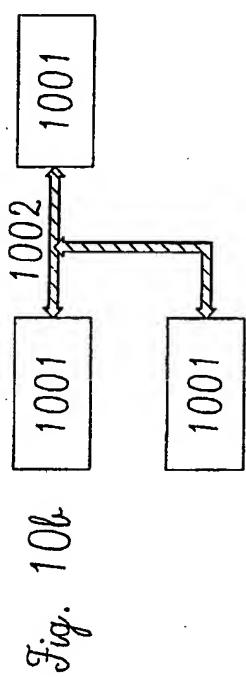
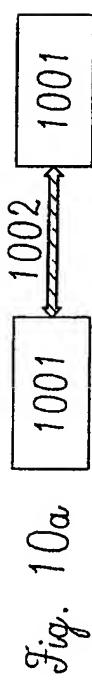
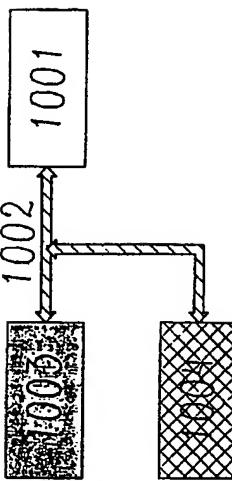
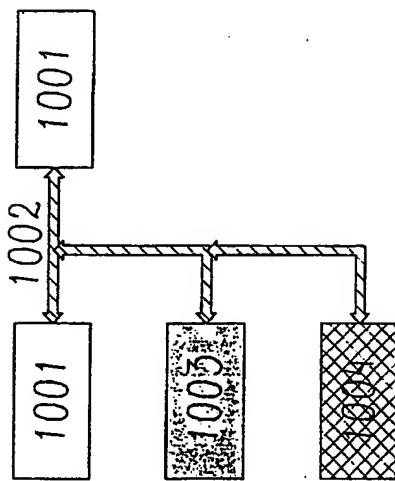


Fig. 9a

*Fig. 10d**Fig. 10e**Fig. 10f**Fig. 10g*

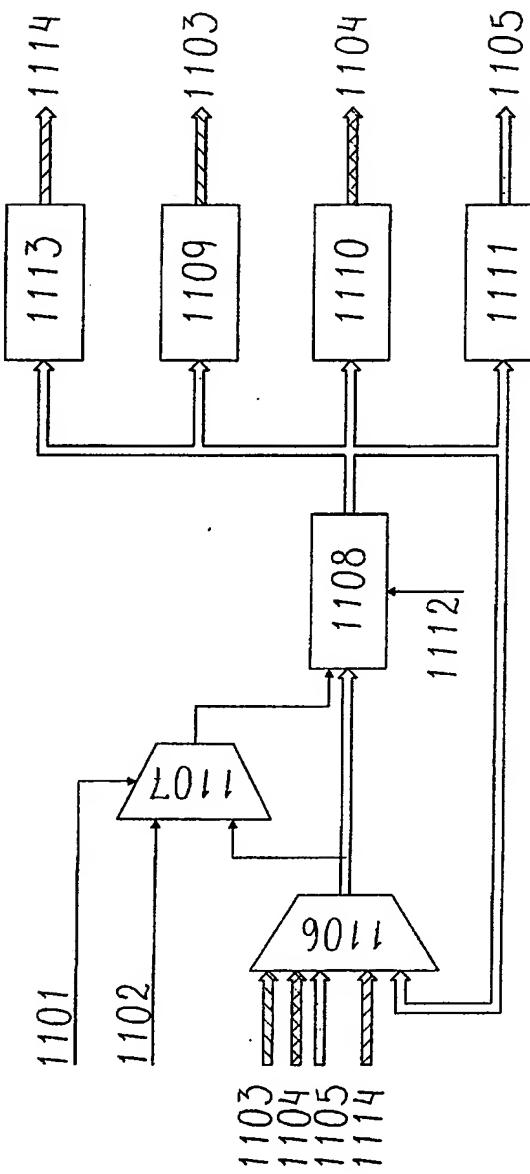


Fig. 11

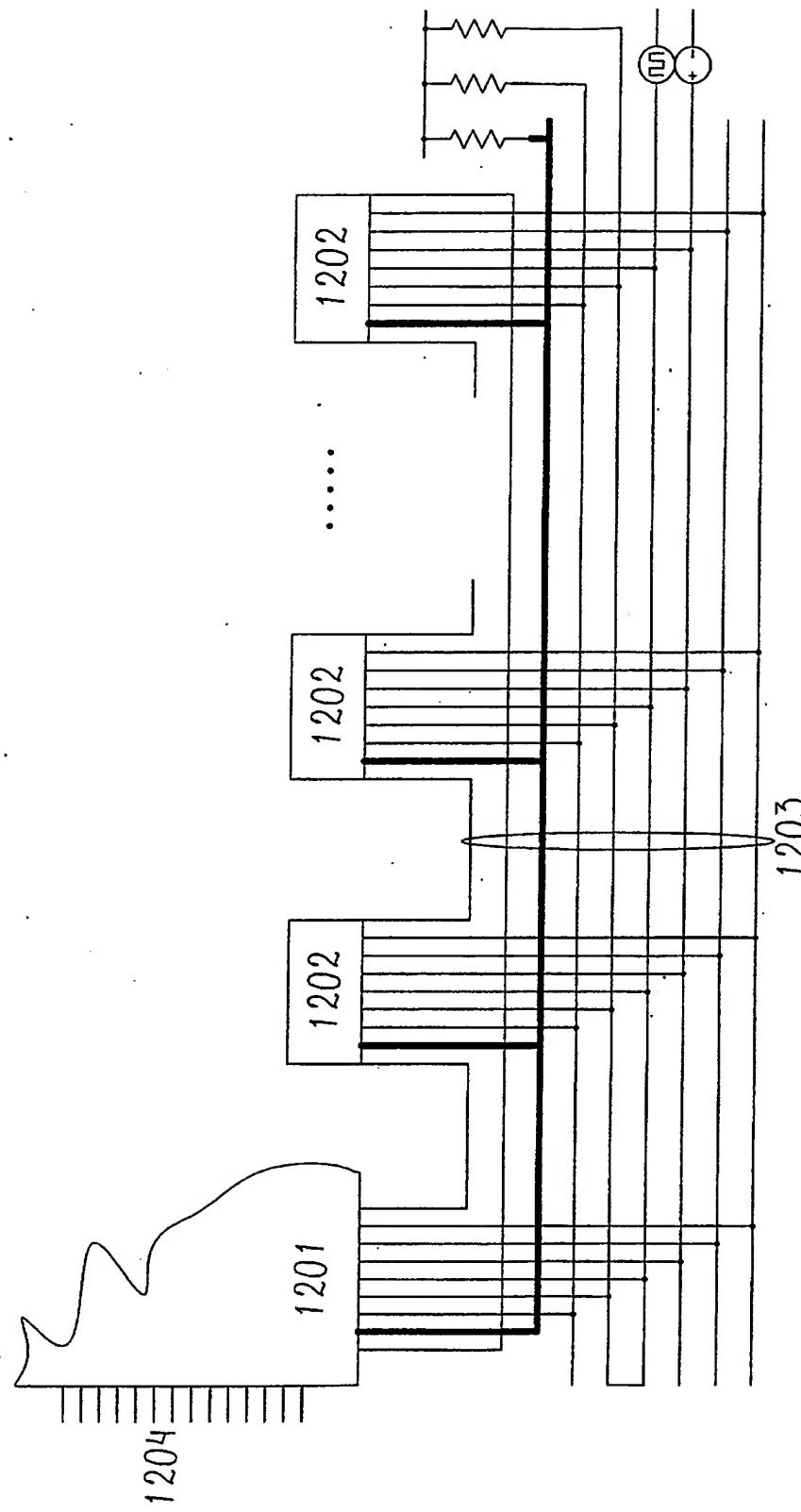


Fig. 12